

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **03-046289**  
 (43)Date of publication of application : **27.02.1991**

(51)Int.CI.

**H01S 3/18**  
**H01L 21/331**  
**H01L 27/095**  
**H01L 27/15**  
**H01L 29/73**

(21)Application number : **01-180320**(22)Date of filing : **14.07.1989**(71)Applicant : **HITACHI LTD**

(72)Inventor : **USAGAWA TOSHIYUKI**  
**UOMI KAZUHISA**  
**GOSHIMA SHIGEO**  
**KAWADA MASAHIKO**  
**HIRUMA TAKEYUKI**  
**ITOUE HIROYUKI**

**(54) SEMICONDUCTOR DEVICE****(57)Abstract:**

PURPOSE: To obtain a structure in which both an electronic device and an optical device can be optimized by a method wherein the overlap of the wave functions of two-dimensional electron gas and holes injected from an emitter side into a GaAs quantum well of an undoped layer are controlled by an electrical field from a collector electrode.

CONSTITUTION: When a GaAs/AlGaAs heterojunction is used, a carrier feed layer type AlGaAs layer 4 and an undoped AlGaAs layer 5 are provided so as to form two-dimensional electron gas (2DEG) in a high purity GaAs layer 10. Moreover, a p-AlGaAs layer 11 functioning as a potential barrier layer against holes and a p+-AlGaAs collector layer 12 are provided so as to temporarily localize a hole injection current 100 from an emitter p-AlGaAs layer 3. When a semiconductor device is made to operate as an light emitting device, the holes 100 are properly injected from an emitter side and a collector bias is applied, whereby the overlap of the wave functions of electrons 50 and 51 in a base can be controlled. Therefore, a recombination time required for electrons and holes inside a base region can be made extremely small and the light emission of the base region can be controlled at a very high speed. By this setup, a structure where an electronic device and an optical device can be separately optimized can be obtained.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

⑩ 日本国特許庁 (JP)      ⑪ 特許出願公開  
**⑫ 公開特許公報 (A) 平3-46289**

⑬ Int.Cl. <sup>*</sup> H 01 S 3/18	識別記号 序内登録番号 7377-5F 7733-5F 8225-5F	平成3年(1991)2月27日 H 01 L 29/80 29/72	E ※ 審査請求 未請求 請求項の数 3 (全14頁)
---------------------------------------	---	--	-----------------------------------

## ⑭ 発明の名称 半導体装置

⑮ 特 領 平1-180320  
 ⑯ 出 願 平1(1989)7月14日

⑰ 発明者 宇佐川 利幸 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
 ⑰ 発明者 魚見 和久 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
 ⑰ 発明者 五島 泰雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
 ⑰ 発明者 河田 雅彦 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
 ⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
 ⑰ 代理人 弁理士 小川 勝男 外1名

最終頁に続く

## 明細書

## 1. 発明の名体

半導体装置

## 2. 特許請求の範囲

1. 同一エピタキシャル結晶よりなる半導体ダブルヘテロ接合界面に形成される二次元状態領域一組ないし二組を、電界効果トランジスタの能動層、ヘテロバイポーラトランジスタのベース層、ヘテロバイポーラトランジスタのコレクタ電極を通じてベース領域に印加される電界を制御することによりこのベース領域内の電子と正孔の被動層の貫通を制御してこのベース領域での発光を制御する発光素子の活性層、及び電界効果トランジスタの能動層を受光素子の活性層とする電子群から選択される少なくとも2種の素子に共用することを特徴とする半導体装置。

2. 請求項1に記載の半導体装置において、前記同一エピタキシャル結晶の一部分を選択的に除去し、上記二次元状態領域一組ないし二組の領域

を発光素子の活性層に共用して形成されていることを特徴とする半導体装置。

3. 第1の導電型不純物を有する第1の半導体領域と、この第1の半導体領域とは反対の第2の導電型不純物を有する第2の半導体領域と、これら2つの半導体領域の間に位置しあつ上記第1の半導体領域との接合界面にヘテロ接合面を形成する半導体領域であって上記二次元状態領域の移動度を阻害しないという意味で実質的に導電型不純物を含まない第3の半導体領域と、この第3の半導体領域に外部から担体を供給するための担体供給手段と、上記第1及び第2の半導体領域間に外部から電界を印加するための電界印加手段とを有し、上記第3の半導体領域の内部であって上記第1の半導体領域との接合界面近傍領域には上記第1及び第3の半導体領域のバンドgapエネルギー値の差異に基づき形成される前記二次元状態領域の領域が存在し、上記電界印加手段による印加電界を変化することにより上記第3の半導体領域内の電子と正孔の被動

## 特開平3-16283(2)

因数の重なりを可変として上記第3の半導体領域におけるそれらキャリアの再結合速度を変化するようにしたことを特徴とする半導体装置。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明は半導体装置に係り、特に光コンピュータに代表される光路理法算をはじめ、光通信、光計測等に用いる光電子集積回路(OEIC)に用いて好適な半導体装置に関する。

## 【従来の技術】

半導体レーザ(LD)、光検出器(Photodetector)、発光ダイオード(LED)等の光デバイスと電界効果トランジスタ(FET; Field Effect Transistor)或は、ヘテロ接合バイポーラトランジスタ(HBT; Heterojunction Bipolar Transistor)等の電子デバイスを同一基板内に集積化するOEIC(光電子集積回路)は、光通信用高遮光信号/電子信号変換器として既に実用段階に達している(例えば、大仲清司、辻井平明、奥田律: 半純粋性InP基板上に集積化した発光用光電子集積回路: 電子

情報通信学会論文誌 C Vol. J71-C No.5, pp.748-754, 1988年5月)。従来のOEICの現状と問題点については、電子情報通信学会論文誌 C; Vol. J71-C No.5, 光集積回路特集に詳しい。

化合物半導体の電子デバイスの超高速メモリや超高速ロジック、或いは、超高速Siバイポーラメモリ(例えは、永田雅、超高速バイポーラデバイス、船橋船、1985刊 参照)などの超高速デバイスを用いたスーパーコンピュータでは、システムを構成する多数のSSII, MSI, LSIの間の接続を金属による電気的な配線で実現しているため、CR時定数に由来するチップ間遅延時間がシステムの遅延時間の主要部分を占めていた。この遅延時間を解決する試みとして光子や光による接続技術の検討も一部始まっている。また光ファイバー等を用いた伝信技術と従来別々の技術範囲に属していたコンピューターの技術とが、それぞれ固有な技術を融合させて、より高度なシステムが求められはじめてきている。

## 【発明が解決しようとする課題】

としては、超高速性の点で不適格であった。

2. 従来の半導体レーザーのしきい値電流I<sub>c</sub>は、低くても、mAのオーダーであり、半導体レーザーを駆動している時の電流は10mAのオーダーにもなる。従って消費電力、発熱の問題から半導体レーザーを多数集積することは不可能であった。

3. 従来の半導体レーザーは、何等かの共振器を形成する必要があり、製造プロセスが極めて複雑になり、多数の半導体レーザーの集成化には不可避であった。

4. 光、電子デバイスの結晶構造が夫々異なるため、電子デバイスの製造プロセスと光デバイスの製造プロセスに互換性がなくなり、より高度な結晶品質が要求される光デバイスを、互換性が高く、歩留まりのよい素子として形成することができないでいた。

この様な従来のOEICの問題点を解決する方向として、

21. 光電子を高速低消費電力にできる。

## 特開平3-46289 (3)

22. 同一 品構造かそれに近い構造で、電子、光デバイスを形成でき、両者ともに最高性能をだせる。

一方、新しい光電子融合デバイスの方向として、

A. 一つの素子内で、トランジスタ的動作と発光または受光動作を兼ね備えた新しいデバイス動作ができる。

B. トランジスタ自身が光の入出力機能をもつ新しいデバイス動作ができる。

C. 構造が簡単で、従来のトランジスタと同じくらい容易に作れる。

D. 信号の伝達(入、出力)には光を、信号の增幅制御には、電子(正孔)を利用する新しいデバイス動作ができる。

E. 同一結晶構造により、A、B、C、Dを実現できる。

等の機能を有する新しい光電子融合デバイスが長いあいだ待ち望まれていたが、具体的なデバイス構造で実現されることはなかった。以上の様な新しい

機能を有する光電子融合デバイスを、第二世代のOEICと呼ぶこととすると、この新しいOEICの方向としては、

(1)同一結晶構造で光デバイスと電子デバイスを形成でき、夫々のデバイスとして最高性能か、それに近いものを実現できるもの。

(2)論理動作を行うための電子素子が同時に、受光発光を行う、光と電子の完全に融合一体となった新しい光電子融合デバイス、の実現にあるということができよう。

本発明の目的は、この様な要求を満足させる第二世代のOEICを実現させる光電子融合デバイスを提供することである。本発明の特徴は、上記 A、B、C、D、E を満足させるだけでなく、同一エピタキシャル層を用いて上記の機能を有する電子デバイスと光デバイスをそれぞれ独立に最適化できる構造を提供し、極めて超高速な電子デバイスと極めて低消費電力で超高速な光デバイスをそれぞれの目的とするデバイス性能を実現しながら、歩留まりよく、成る程度以上の複数機能を有する光電

子融合IC作成ができる点にある。

この様な光電子融合ICを実現する場合、スピードを制限しているのは、発光光デバイスである。

従来の光デバイスのスイッチング速度の限界を越える試みとして、山西等により、半導体発光装置(特開昭63-181486)が披露されている。同発明の原理図を第2図(a)、(b)に引用する。ここに開示されているように、コレクタ層120側のバンドギャップがベース層100側のバンドギャップより広い通常のダブルヘテロpn型HBT(Heterojunction Bipolar Transistor)のn型ベース領域に、エミッタ層110側から正孔を適度に注入し、コレクタバイアスを印加して、ベース内の電子(第2図(b)のA)と正孔(第2図(b)のB)を捕獲したままで電子A及び正孔Bを空間的に分離することができ、更に発光動作寿命を制御でき、ベース領域からの発光を極めて高速に制御できることが開示されている。しかしながら、この発明では、半導体発光装置を超高速の電子デバイスHBTとしても用いるという技術思想或いは、光デバイスと電子デバイスをモ

ノリシックに複合化するという技術思想がないため、バイポーラー動作としては、正孔がベース領域の拡散に手間取り、遮断周波数は、この発明では明示されていないが、かなり低いものと思われる。これは、通常のpn型HBTのn型ベース領域を單にn型Gateまたは、AlGaN層に用いる事に起因する電子デバイスに特有な問題であり、電子デバイスとの融合化や複合化を意図したOEICで特に問題になる。この問題は、HBTと半導体レーザーを同一素子で形成するHBTレーザー(J. Kato, 他5名 Appl. Phys. Lett. 37, (1980), 211)にも共通で、HBTとしての性能もレーザーとしての性能も中途半端になり、實際上最適化しても使えない。

更に光デバイスとしてのダブルヘテロpn型HBTの最大の問題点としてはベース層に高濃度の不純物がドープされているために、ベース内に高電界を印加することが難しく、山西等の発光デバイスを効率良く実現することは現実的には極めて困難であるという点が挙げられよう。この問題は、通常のHBTのベース層がドープされた層によって

## 特開平3-46289 (4)

形成されていることに由來する本質的な欠点である。これはちょうど金属中に有限な電界を形成できないことと同じ現象である。

ベース領域内の電界形成を傾斜化 (tilting) することにより、電子、正孔のいずれか一方のみ有効電界を与えるデバイスならば実現できるが、電子と正孔の空間的分離を有効に割断することは難しい。すなわち、ダブルヘテロ型pnp型HBTは電子デバイスとしても、光デバイスとしても回遊できない難点を抱えていることに本発明者等は着目した。

その後、Y.Kan et al.は、その論文、「Three Terminal Light Emitting Device with Functions of Current Injection and Field Control」、LC-5-7,pp633-634 :Extended Abstracts of the 20th(1988 International) Conference on Solid State Devices and Materials, August 24-26, 1988, Kai Plaza Hotel, Tokyo, JAPAN の中で、pnp型HBTのベース領域をp-AlGaAs/アンドープGaAs/n-AlGaAs構造

にすることで、特開昭63-181466号の発光デバイスの動作を実現している。この場合、発光している時は、電子、正孔は量子井戸内GaAs領域に存在し、発光していない時にはエミッタ側 p-AlGaAs/n-AlGaAs ヘテロ界面 n-AlGaAs 中に存在することが示されている。このようなn型ベース層内にアンドープ層を設けることで、通常のpnp型ダブルヘテロ接合HBTの上記欠点は一部回避されているようではあるが、充分なものではない。更に、Kan et al.のデバイス構造は光デバイスの動作のみに着目しており、電子デバイスとしては不適な点が存在する。例えば、ベース領域エミッタ側のn-AlGaAs層が厚すぎて、エミッタ p-AlGaAs層とのp-n接合でn-AlGaAs層内に中性領域が発生し（完全には空乏化していない、エミッタ・ベース層バイアス時に著しい）、このため電子デバイスとしての性能を著しく劣化させる結果となっている（遮断周波数は5GHz程度になる）。また、コレクタ側 n-AlGaAsベース層は電子デバイスとしては全く不要であり、これもデバイス性能を低

下させている。この事情は通常のpnpHBTの欠点と変わらない。

本発明者の一部は、既に、通常のpnp型HBTの電子デバイスとしての問題点を解決するため、二次元状態体を一層ないしは二層、バイポラーのベース層、或いは、FETとの複合化に用いる電子デバイス(2DEGHBT)を提案している(Proceedings of the IEDM - International Electron Devices Meeting, Washington D.C., December 6-9, 1987, pp78-81、或いは、特開昭62-25455号、特開昭62-25454号、特開昭62-196049号、特開昭63-236358号、特開昭63-236339号等参照)。

ところが、これらの発明では光電子としての動作に関する記述はなされていなかった。

## 【課題を解決するための手段】

我々の上記発明のうち、特開昭63-236358号、特開昭63-236339号では、第2図(c), (d)に示す様にベースである二次元電子ガス層(2DEG)590(同発明:第1図(b), (c)で58に対応している。430は2DEG供給源であるn-AlGaAs層、450は正孔注入の

エミッタ層でp-AlGaAs層で形成されている。430, 450のpn接合でn-AlGaAs層は空乏化するように結晶構造を設計することが肝要である。)がAlGaAs 層壁430, 500, 500'には含まれてアンドープGaAs層420に形成されたpnp型HBTであるために、本発明の課題を解決できるデバイス構造に近いことをみいだした。すなわち、その本質的部分で山西等の半導体発光装置の光デバイスの動作を実現できる。つまり、アンドープ層であるGaAs量子井戸内に、2DEGとエミッタ側から注入された正孔の活動度数(有限温度では一般に、分布函数)の差なりをコレクタ電極からの電界により割断することではなく理想的に山西等の発光デバイスを実現できることをみいだした。また、特開昭63-236358号、特開昭63-236339号ではコレクタp型層は、p<sup>+</sup>-GaAs 410(第2図(c), (d))で形成されているため、コレクタ層 500, 500'の厚さが大略 300nm 以下になると、ベース・コレクタ領域 420, 500, 500'で発生した光の一部が p<sup>+</sup>GaAs層410内で吸収されてしまうという若干の問題点があった。し

## 特開平3-46289(5)

かしこの点は、 $p^-AlGaAs$ 層で置き換えることにより完全に解決することができる。更に、このようなデバイス構造にしても電子デバイスとしての特性の劣化は全くない。すなわち、電子デバイスとしても極めて高速であることを維持できる。

本発明の1局面によれば、同一エピタキシャル結晶よりなる半導体ダブルヘテロ接合界面に形成される二次元状態領域一部ないし二箇を、電界効果トランジスタの能動層、ヘテロバイポーラトランジスタのベース層、ヘテロバイポーラトランジスタのコレクタ電極を通じてベース領域に印加される電界を制御することによりこのベース領域内の電子と正孔の運動距離の整なりを制御してこのベース領域での発光を制御する発光電子の活性層、及び電界効果トランジスタの能動層を受光電子の活性層とする電子部から選択される少なくとも2種の電子に共用する半導体装置が提供される。このような半導体装置は、前記発明(特開昭63-236358号)のコレクタ $p^-$ -GaAs層10(第2図c、d)と $p^-AlGaAs$ 層500、500'の



とを特徴とする半導体装置が提供される。

本発明の他の記載された1局面によれば、前記発光電子部を構成する半導体積層体は第1の導電型不純物を有する第1の半導体領域と、この第1の半導体領域とは反対符号の第2の導電型不純物を有する第2の半導体領域と、これら2つの半導体領域の間に位置しつつ上記第1の半導体領域との接合界面にヘテロ接合面を形成する半導体領域であって上記2次元状態体の移動度を阻害しないという意味で実質的に導電型不純物を含まない第3の半導体領域とを有し、この第3の半導体領域の内部であって上記第1の半導体領域との接合界面近傍領域には上記第1及び第3の半導体領域とのバンド隙エネルギー値の差異に基づき形成される前記2次元状態体の領域が存在する半導体装置が提供される。

## 【作用】

さらに本発明を説明するために、1例として、GaAs/AlGaAsヘテロ接合系を用いた場合のエネルギー・バンド図により本発明の本質的部を説明す

る。即ち、 $p^-AlGaAs$ コレクタ層を設けることで発光電子からの光の吸収をなくし、2次元電子ガス層を1層ないしは2層を、ヘテロ接合技術、或は、量子井戸形成技術を用いて形成し(以後、本発明では、2次元状態体と呼ぶ)、この2次元状態体を、FETの能動層、バイオラのベース層、電界効果型LEDの光放出色層、FET型受光素子等に、共通に用いる。

本発明の他の1局面によれば、单一基板上に形成されたかつダブルヘテロ接合構造を有する半導体積層体であって上記ダブルヘテロ接合構造近傍に形成される2次元状態体の單一ないしは複数の領域をそれぞれ発光領域及び能動領域とする発光電子部と能動電子部とを含むものと、上記2次元状態体とこれとは反対の導電型の担体との再結合及び上記2次元状態体の移動をそれぞれ上記領域内で制御するための手段とを有する半導体装置が提供される。

本発明の記載された1局面によれば、前記発光電子部と能動電子部とは互いに絶縁されているこ

とを特徴とする半導体装置が提供される。

本発明の他の記載された1局面によれば、前記発光電子部を構成する半導体積層体は第1の導電型不純物を有する第1の半導体領域と、この第1の半導体領域とは反対符号の第2の導電型不純物を有する第2の半導体領域と、これら2つの半導体領域の間に位置しつつ上記第1の半導体領域との接合界面にヘテロ接合面を形成する半導体領域であって上記2次元状態体の移動度を阻害しないという意味で実質的に導電型不純物を含まない第3の半導体領域とを有し、この第3の半導体領域の内部であって上記第1の半導体領域との接合界面近傍領域には上記第1及び第3の半導体領域とのバンド隙エネルギー値の差異に基づき形成される前記2次元状態体の領域が存在する半導体装置が提供される。

【作用】

さらに本発明を説明するために、1例として、GaAs/AlGaAsヘテロ接合系を用いた場合のエネルギー・バンド図により本発明の本質的部を説明す

る。第1図(a)(b)及び(c)に2次元電子ガスを1層用いて、本発明を実現した場合を示す。2次元電子ガス50を15nm程度の高純度GaAs層10に形成するためのキャリヤ供給層 型AlGaAs層4、アンドープ AlGaAs層5を配置する(表面ドープ量子井戸構造)。更に、エミッタ $p^-AlGaAs$ 層8からの正孔注入電流100を一時的に局在化させるための正孔にとってのボテンシャル隔壁層 $p^-AlGaAs$ 層11、 $p^-AlGaAs$ コレクタ層12を形成する。この様に、アンドープ GaAs 層よりもバンドギャップの広い $p^-AlGaAs$ コレクタ層12を用いる理由は、ベース領域で、発生した光のコレクタ層での吸収を防ぐためである。コレクタ層11、12の幅は発光領域10の幅及びコレクタ層11、12のA1組成に応じて光の吸収を防ぐように設計することが肝要である。これに対して、エミッタ層に対応するA1組成の大きい $p^-AlGaAs$ 層3、電子デバイスとしては、 $n^-AlGaAs$ 層4は完全に空乏化するように、エミッタベースのpn接合を形成する様に、結晶仕事率を決定することが肝要である。

## 特開平3-46289(6)

発光デバイスとしての動作は、エミッタ側から正孔100を適度に注入し(エミッタベース電圧  $V_{be} = 1.5V$ 、程度に印加すると、コレクタ電流密度  $J_c$  として  $10^3$  から  $10^4 A/cm^2$  の値が得られる。)、コレクタバイアスを印加することで、ベース内の電子(第1図(b)の50)と正孔(第1図(b)の51)の活動回数(有効温度では、一般に分布回数)の重なりを制御できる。これにより、ベース領域での電子正孔の再結合時間を極めて小さくでき、発光動作寿命を制御できるため、ベース領域からの発光を極めて高速に制御できる。バイポーラ動作と発光動作の並ね合いから第1図(c)のバンド図で示す様に、Al組成の大きい正孔にとってのボテンシャル壁層  $p^-$ -AlGaAs層11'を挟んでやってもよい。 $p^-$ -AlGaAs層11、11'のAl組成、膜厚は、システム(製品)仕様に応じて、バイポーラ動作と発光動作のスピードを最適にするように設計することは、言うまでもない。

一方、光信号を電気信号に変換する受光素子の方は、AlGaAsバッファー層付きZDEGFETのゲート

領域に光を照射することで、極めて高速な受光電子として動作することが報されている(T.

Umeda et al. Summaries of 6th ICUP (International Conference of Ultrahigh speed Phenomena), pp212-213. 或いは、梅田 雄男、坂 史夫;電子通信学会誌 Vol.J55-C, No.12, pp1132-1134; 同Vol. J55-C, No.4, pp263-269等を参照)。この場合、受光電子としての高速化と電子デバイスとしての高速化は、お互いに矛盾しない。特に、 $p^-$ -AlGaAsコレクタ層12に電位を印加することで、光照射によりゲート領域ZDEG層に形成された電子正孔対のうち正孔をコレクタ電極側に吸引だすことが可能となり、スイッチング特性の大振幅改善がなされる。 $p^-$ -AlGaAsコレクタ層12を用いることで、コレクタ抵抗の増加等の問題が予想されるが、 $p^-$ -GaAs層を薄く下部に形成したり、膜厚、ドーピングレベルを最適化することで回避でき、バイポーラトランジスタの性能を劣化させることはない。

また、ZDEGは高純度層に形成されているため、

発生した正孔の移動度も大きくすることができ、より高速に正孔を吸引除去くことができる。

本発明の最適な形態においては、上記第二世代のOEICとしての光電子融合デバイスとしての特徴Z1、Z2、A、B、C及びDをもち、さらに、同一エビ構造(結晶構造)で、平面形状、電極構造や形状を目的に応じて設計でき、ZDEGFET、ZDEGBT、超高速発光素子、受光素子をモノリシックに形成できる。また、本発明の光電子融合デバイスは、 $p^-$ -AlGaAs層3を除き、Al組成の大きい $p^-$ -AlGaAs層20を選択成長等の方法で形成する(第1図(d))ことにより、半導体レーザ、LEDの活性層として、この2次元電子ガス50を用いることもできる。光デバイス部分のAl組成の大きい $p^-$ -AlGaAs層20、及び、コレクタ層11、12を第1図(d)のような構造にできるので、表面ドープSOI(單一量子井戸)レーザやLEDの構成に好適である。

この様に、FETの活性層、バイポーラのベース層、HBTタイプの超高速発光素子、受光素子を同一エビ構造で形成できるため、或いは、通常の受

光素子、半導体レーザの活性層を同一エビ構造で形成できるため、第二世代のOEICとして論理動作を行う個々の電子素子が同時に受光発光を行う光と電子の完全に融合一体となった新しいデバイス原理と構造を提供できるので、光るLSIという新しいシステムテクノロジーを提供できる。

## 【実施例】

以下に、本発明を実施例を通じて更に詳しく説明する。

## 実施例1

2次元電子ガスを1層用いた場合の本発明の実施例を第3図(a)、(b)及び(c)を用いて説明する。この場合、單一量子井戸(SQW: Single Quantum Well)を活性層に用いた超高速発光断続(A)とZDEGFET型の受光素子(B)、ZDEGBT(C)及びZDEGFET(D)を同じエビ層を用いて形成した場合(第3図(e)、(f)、(g))とSQW半導体レーザをも同一基板に形成した場合(第3図(d))について説明する。

第3図(e)に示す様に、半導体性GaAs基板14上

## 特開平3-46283 (7)

に有機金属熱分解法(MOCVD: Metalorganic Vapor Phase Epitaxy)を用いて、結晶成長を行った。第3図(c)に示すエビ構造の具体例は、 $p^+GaAs$ 層13(Bgを $10 \times 10^{19} cm^{-3}$ 含有し、厚さ600nm)、 $p^+-Al_xGa_{1-x}As$ 層12(Al組成 $\gamma$ は0.4で、0.35から0.5に選ぶと良い。Bg濃度は、 $4 \times 10^{19} cm^{-3}$ 含有している。 $5 \times 10^{19} cm^{-3}$ 以上に選ぶと良い。厚さは300nmだが、100nmから1000nmの範囲で設計するのが好ましい。)、アンドープ又は、 $p^+-Al_xGa_{1-x}As$ 層11(Al組成 $\gamma$ は、0.4で、0.15から0.50の範囲で選ぶと良い。Bgのドーピングレベルは $1 \times 10^{19} cm^{-3}$ で、 $5 \times 10^{19} cm^{-3}$ 以下に選ぶと良い。厚さは、150nmで、100nmから300nmの範囲で選ぶと良い。)、アンドープGaAs層10は、15nm(厚さは、10nmから30nmの間で用いると好ましい。ドーピングレベルは、n型であれ、p型であれ、 $5 \times 10^{19} cm^{-3}$ 以下に選ぶ。)の厚さである。このドーピングレベルは主に、ベース・コレクタ領域に有効に電界が印加でき、電子と正孔の分布密度の差なりを有効に制御でき、高速の発光電子を保護するためである。

母金属ソースを用いたMOCVD法により、 $2 \times 10^{19} cm^{-3}$ までドープすることが、可能となる。C(カーボン)を用いた場合、電離保数がBgに比べて、 $5 \times 10^{19} cm^{-3}$ 以上の高濃度領域で、2層から4層小さく、加熱工程を経たのちも安定でpn接合の劣化がない。結晶構造を決定する場合、2次元電子ガス50を供給するn型 $AlGaAs$ 層4は、完全に空気化する様に膜厚、ドーピングレベルを設計することが肝要である。

以下、第3図(b)、(c)に本発明の光電子融合半導体装置の製造プロセスを説明する。但し、高速動作の障害になる寄生容量の効果を防ぐため、 $p^+-Al_xGa_{1-x}As$ 層12にウェハ面内選択的に、酸素を注入した基板上に11から上の半導体層を形成した場合について説明するが、酸素が注入された半導体性 $AlGaAs$ 領域12'は必ずしも必要ない。

超高速発光装置(E)、2DEGFET型受光素子(D)、ヒ2DEGFET(C)及び2DEGFET(B)は、平面パタン形状の違いを除き、全く同一プロセスで形成できる点に大きな特徴がある。リソグラフィ工程を進める

る。アンドープ $Al_xGa_{1-x}As$ 層5は2次元電子ガス50の移動度を劣化させないように、導入したもので、膜厚は2nmである。0から7nmの範囲で用いる。 $n^-Al_xGa_{1-x}As$ 層4は、Al組成 $\gamma$ として0.25、膜厚として30nm、Seのドーピングレベルとして $2 \times 10^{19} cm^{-3}$ を選んでいる。Al組成 $\gamma$ は0.24から0.45の範囲、膜厚は15nmから45nmの範囲、Seのドーピングレベルとして1から $8 \times 10^{19} cm^{-3}$ の範囲で選択する。 $p$ 型 $Al_xGa_{1-x}As$ 層3は、Al組成 $\gamma$ として0.40、膜厚として300nm、Mgのドーピングレベルとして $4 \times 10^{19} cm^{-3}$ を選ぶ。Al組成 $\gamma$ は0.30から0.45の範囲、膜厚は150nmから450nmの範囲、Mgのドーピングレベルとして1.0から $20.0 \times 10^{19} cm^{-3}$ の範囲で選ぶ。最後に、エミッタ電極のノンアロイオーミック特性をよくするために、 $p^+-GaAs$ 層1、2を50nm形成する。そのとき、1のBgのドーピングレベルは、 $2 \times 10^{19} cm^{-3}$ であった。2のBgのドーピングレベルは、 $4 \times 10^{19} cm^{-3}$ であった。 $p$ 型GaAs/ $AlGaAs$ のドーパントとしては、C(カーボン)を用いてもよい。その場合、MORSE(有

ための合あせマークを形成後、FET/バイポーラ/発光、受光素子/半導体レーザ部分以外をメサエッティング除去し(isolation領域の確保)、SiO<sub>2</sub>を用いて、四部分の平坦化を行った。次に、2DEGFET(C)のエミッタ電極30、超高速発光装置(E)のエミッタ電極30'あるいは、2DEGFET(B)及び受光素子(D)のゲート電極37、37'なるVSI/Vを300nmスパッタ被覆した。このとき、2DEGFETのエミッタ電極の寸法は、 $1.0 \times 10 \mu m$ であった。このエミッタ寸法は、 $(0.2$ から $5.0 \mu m) \times (0.2$ から $2000 \mu m)$ の範囲で選ぶと良い。ゲート電極の寸法は、 $0.5 \mu m \times 100 \mu m$ であった。ゲート寸法は、 $(0.2$ から $5.0 \mu m) \times (0.2$ から $2000 \mu m)$ の範囲で選ぶ。エミッタ電極30、30'あるいは、ゲート電極37、37'をホトマスク後、加工した。レジスト除去後、エミッタ電極30、30'とゲート電極37、37'をマスクにして、FET(B)及び受光素子(D)のゲート領域以外の部分、バイポーラ(C)及び発光素子(E)のベースコレクタ領域、或いは、半導体レーザ(E;第3図(d))領域の $p$ -GaAs/ $AlGaAs$ 。

## 特開平3-46289(8)

2. 及び3を除去した。つぎに、 $\text{SiO}_2$ を100nm被着し、選択的にドライエッチングを行い、側壁S10, 38を形成し、MOCVDのn<sup>-</sup>-GaAs選択成長を用いて、S1を $8 \times 10^{14} \text{ cm}^{-3}$ 含有するp<sup>+</sup>領域24を形成した。膜厚は、300nmであった。次に半導体レーザ部分の $\text{SiO}_2$ を選択的に、除去し、MOCVDのn<sup>-</sup>-Al<sub>0.5</sub>Ga<sub>0.5</sub>-As選択成長を用いて、S1を $1 \times 10^{14} \text{ cm}^{-3}$ 含有するn<sup>+</sup>領域20を形成した。Al組成αとして、0.45、感度として、500nm、S1のドーピングレベルとして、 $2 \times 10^{14} \text{ cm}^{-3}$ を選んでいる。Al組成αは0.40から0.55の範囲、膜厚は300nmから1000nmの範囲、S1のドーピングレベルとして1から $8 \times 10^{14} \text{ cm}^{-3}$ の範囲で選ぶ。さらに、半導体レーザのp型層へのカーミック特性を良くするために、MOCVDのn<sup>-</sup>-GaAs選択成長を用いて、S1を $8 \times 10^{14} \text{ cm}^{-3}$ 含有するp<sup>+</sup>領域22を形成した。感度は、50nmであった。次に、全面に、 $\text{SiO}_2$ を100nm被着し、半導体レーザ部分の $\text{SiO}_2$ を選択的に除去し、BR(埋込ヘテロ構造)側面の半導体レーザを形成するため、高抵抗のAl<sub>0.5</sub>Ga<sub>0.5</sub>-As層23をMOCVDで形成した。このと

き、活性層領域一帯、ストライプ部は典型的な様として、0.5から3.0μmである。次に、全面に、 $\text{SiO}_2$ を100nm被着し、リフトオフ法により2DEGFET(B)、受光素子のソースドレイン電極35, 36、35'、36'、バイポーラ(C)、発光素子(D)のベース電極31, 31'、半導体レーザのp型層へのオーミック電極34をAuGe/Ni/Auで形成した。次に、2DEGFET(B)及び、受光素子(D)の基板バイアス電極40、40更に、2DEGBST(C)、発光素子(D)のコレクタ電極32, 32'、半導体レーザのp型層へのオーミック電極33を形成するためAu/Zn/Auを被塗アロイした。素子間分離、端子間配線は通常と同様な方法でおこなった。即ち、トレンチ45を形成し、図には示されていないが、平坦化プロセスの後、目的に応じた配線をAu/Moを用いて行った。通常の接続回路との違いは、発光素子(D)のコレクタ電極32'に入力された電気信号が光41に変換され、光路波路や光ファイバを用いてチップ外やチップ内の受光素子(D)のソースドレイン間に蓄積し、ソースドレイン電流を制御し、光信号を電気信号

に変換する。勿論、受光素子は、チップ外から送られてきた光信号を受けて電気信号に変換する役割もできる。主として、メモリ動作や論理動作は、2DEGFET(B)と2DEGBST(C)を用いて形成する。発光素子(D)は電気的のみならず光学的にも他の素子と連絡しておくことは言うまでもない。又、発光方向は基板直面方向でもよくその場合、基板14, p<sup>-</sup>-GaAs13、発光遮蔽は光の吸収をさけるために抜いておく必要がある。この時、2DEGFET(B)のゲート長は0.5μm、ゲート幅は10μmであった。FET部分のp型層12, 13への制御電極40'は目的に応じて形成する。製造工程の説明で詳述しなかったが、2DEGBST型受光素子(第3回A)と2DEGFET型受光素子(第3回D)は、発光が基板から垂直に効率良くなるように、また受光効率を良くするために、平面形状を円形にしている。即ち、エミッタ電極30'の内円の半径は、50μmで、幅は、5μmである。光41はこの内円のなかから、圓内直面方向にだされる。p<sup>-</sup>-GaAs, 1, 2, での光の吸収をなくすためにこの円内のp<sup>-</sup>-GaAs, 1, 2は取り

取いても良い。受光素子(D)のゲート電極31'の内円の半径は10μmで、幅は0.5μmである。ソース電極35'の半径は8.5μm、ドレイン電極36'の半径は11.5μmであり、ソース(ドレイン)ゲート間隔は1.5μmであった。発光素子は円形でなく、電極を樹形構造にして効率をあげてもよい。このような2DEGFET(B)や2DEGFET型受光素子(第3回D)は、n<sup>+</sup>-GaAs層24が極めて低い抵抗を有するために、ソースゲート抵抗Rsが下がり素子特性は極めて良好である。事實、FBTとしては、相互コンダクタンス G<sub>0</sub>は 400nS/mm、基底周波数 f<sub>T</sub>として 45GHzがえられた。また受光素子としては1pssecの応答が可能となり、基板バイアス電極40により発生した正孔を吸いだすときは0.1pssecの応答が可能となつた。本実施例のバイポーラトランジスタは、コレクタ電流密度 J<sub>C</sub> = 10<sup>11</sup>A/cm<sup>2</sup>のとき、基底周波数 f<sub>T</sub>として160GHz、電流増幅率 h<sub>FE</sub>は2000であった。またpnp型HBTとして極めて高いf<sub>T</sub>が実現されている理由は、ベース層が30nmと極めて薄い効果と、ベースコレクタ外部寄生容量を取り除

## 特許平3-46289(9)

くデバイス構造にしてあるためである。この半導体性AlGaAs領域12'を用いない構造では、f<sub>r</sub>として20GHz、電流増幅率 $\beta_{FE}$ は200であった。超高速光電子(A)としては、消費電力500μWスイッチング速度1psの超高速低消費電力の発光スイッチを形成できた。このとせ、数百数千個の発光電子を同一チップに形成できるようになる。この様に光電子、電子素子とともに最高性能を実現できることに、本発明の妙味がある。

本発明の実施例のように、AlGaAsコレクタ層11、12の合計膜厚はAl組成が0.3の場合大略300nm以上にする必要がある。これは発光領域10の膜厚が薄いため両側に光が漏れてしまい、その詰み出し光がp'-GaAs層13へ到達しないようにするためである。このようにすることで、発光電子からの光がp'-GaAs層13で吸収されなくなる。

本実施例の半導体レーザはその活性層が変調ドープMQV構造となっているため、通常のDEレーザに比べて低キャリヤ密度で発振し、かつ高速性を優れるのが特徴である。即ち、試作した素子は約



とができる。

## 実施例 2

2次元電子ガスを2層用いた場合の本発明の1実施例を第4図(a)、(b)及び(c)を用いて説明する。半導体レーザとしては、変調ドープ多量子井戸構造(EDMQV; Modulation Doped Multiple Quantum Well、今の場合2個の量子井戸構造)を用いた場合に対応する。実施例1と異なる部分のみを強調して説明する。

半導体性GaAs基板14上に分子線エピタキシー(Molecular Beam Epitaxy: MBE)を用いて、結晶成長を行った。第4図(c)に示すエピ構造の具体例は、p'-GaAs層13(Beを $4 \times 10^{13} \text{ cm}^{-3}$ 含有し、厚さ600nm)、p'-Al<sub>x</sub>Ga<sub>1-x</sub>As層12(Al組成xは0.4で、盛り0.35から0.4に選ぶ。Be濃度は、 $4 \times 10^{13} \text{ cm}^{-3}$ 含有している。 $5 \times 10^{13} \text{ cm}^{-3}$ 以上に選ぶ。厚さ600nmだが、600nmから1000nmの範囲で設計すると良い。)、アンドープ又は、p'-Al<sub>x</sub>Ga<sub>1-x</sub>As層11(Al組成xは、0.25で、0.15から0.45の範囲で選ぶ。Beのドーピングレベルは $1 \times 10^{13} \text{ cm}^{-3}$ で、5

10<sup>-1</sup>と提案のDEレーザの約1/5の低い値で発振した。更に、共振器長を100μm、かつ端面を高反射率化すると約500μAと極めて低いしきい値電流を得た。さらに、光出力5mW時の動作電流周波数は、30から50GHzと極めて高く、世界に類のない高性能を得ることができた。また、本実施例では、埋込層として高抵抗層を用いているため寄生容量が低く(1ps)、実際の変調時におけるロールオフの問題は全く無いことがわかった。この様に、本発明の半導体レーザは、低消費電力でかつ高速性に優れているため、光電子基板回路の光素として極めて優れたものである。図3図(d)では、発光受光電子は記載しなかったが、当然省略化できる。本実施例では、光電子と電子デバイスが平面内に割々に形成した例を示したが、発光電子をZDEGHBTとして、ZDEGRBTを発光電子として用いることも可能であり、また、ZDEGFETを受光電子として、受光電子をZDGFETとして用いることも可能であり、第二世代のOEICとしての上記、Z1、Z2、A、B、C、D更にはEの要素を実現すること

$\times 10^{13} \text{ cm}^{-3}$ 以下に選ぶ。厚さは250nmで、50nmから300nmの範囲で選ぶ。)、アンドープGaAs層10は、20nm(厚さは、10nmから30nmの間で用いると良い。ドーピングレベルはn型であれ、p型であれ、 $5 \times 10^{13} \text{ cm}^{-3}$ 以下に選ぶ)の厚さである。p-Al<sub>x</sub>Ga<sub>1-x</sub>As層9は、Al組成xとして0.25、膜厚として8nm、Siのドーピングレベルとして $2 \times 10^{14} \text{ cm}^{-3}$ を選んでいる。Al組成xは0.24から0.30の範囲、膜厚は5nmから12nmの範囲、Siのドーピングレベルとして1から $1 \times 10^{13} \text{ cm}^{-3}$ の範囲で選ぶと良い。アンドープAl<sub>x</sub>Ga<sub>1-x</sub>As層8、7、5は2次元電子ガス50°、50°の移動度を劣化させないように導入したもので、膜厚は2nmである。0から7nmの範囲が好ましい。アンドープGaAs層6は10nm(厚さは10nmから300nmの間が良い。ドーピングレベルはn型であれ、p型であれ、 $5 \times 10^{13} \text{ cm}^{-3}$ 以下に選ぶ)の厚さである。p-Al<sub>x</sub>Ga<sub>1-x</sub>As層4は、Al組成xとして0.25、膜厚として30nm、Siのドーピングレベルとして $2 \times 10^{14} \text{ cm}^{-3}$ を選んでいる。Al組成xは0.24から0.30の範囲、膜厚は15nmから45nm

## 特開平3-46289 (10)

の範囲、S1のドーピングレベルとして1から $8 \times 10^{18} \text{ cm}^{-3}$ の範囲で選ぶと良い。p-Al<sub>x</sub>Ga<sub>1-x</sub>As層3は、Al組成νとして0.40、膜厚として300nm、n<sub>e</sub>のドーピングレベルとして $4 \times 10^{18} \text{ cm}^{-3}$ を選ぶと良い。Al組成νは0.30から0.45の範囲、膜厚は150nmから450nmの範囲、n<sub>e</sub>のドーピングレベルとして1から $20 \times 10^{18} \text{ cm}^{-3}$ の範囲が好ましい。最後にエミッタ電極のノンアロイオーミック特性をよくするために、p<sup>++</sup>-GaAs 1、2を50nm形成した。そのとき、1のBeのドーピングレベルは $2 \times 10^{19} \text{ cm}^{-3}$ であった。2のBeのドーピングレベルは $4 \times 10^{19} \text{ cm}^{-3}$ であった。(p型GaAs/AlGaAsのドーパントとしては、C(カーボン)を用いてもよい。その場合、MOMBE(有機金属ソースを用いたMBE)法により、 $2 \times 10^{19} \text{ cm}^{-3}$ までドープすることが可能となる。C(カーボン)を用いた場合、拡散係数がBeに比べて、 $5 \times 10^{19} \text{ cm}^{-3}$ 以上の高濃度領域で、2桁から4桁小さく、加熱工程を経たのちも安定かつpn接合の劣化がない。次に電子作成の主要プロセスを説明する。

は50nmであった。BB(埋込ヘテロ構造)構造の半導体レーザの形成工程は実施例1と同様である。次に、FETのゲート電極37を形成するため、該当部分のp<sup>++</sup>-GaAs層24を選択的に除去し、さらにAlGaAs層4、5、GaAs層6を除去し、ゲート電極37としてAlを500nmリフトオフ法により形成した。このとき、ゲート長は0.5μm、ゲート幅は100μmであった。バイポーラのコレクタ電極32、及び半導体レーザのp型層へのオーミック電極33を、AuZn/Auを用いて形成した。FET部分のp型層12、13への制御電極は目的に応じてバイポーラのコレクタ電極32の形成工程で形成してもよい。本実施例の半導体レーザはその活性層が表面ドープNQW構造となっているため、実施例1と同様に極めて高性能である。本実施例では、FET部分のゲート構造が、ショットキー型を採用した例を説明したが必ずしも必要ではない。即ち、pn接合を用いて、JFET型にしてもよい。この場合、バイポーラのエミッタ電極を形成する工程でゲート部分を形成できるという長所がある。特に、大電流を流し

結晶構造を決定する場合、2次元電子ガス、60.50'を供給するp型AlGaAs層4、8は、完全に空気化するように膜厚、ドーピングレベルを設計することが肝要である。

この様な結晶構造を形成した後、リソグラフィ工程を進めるための合わせマークを形成後、FET/バイポーラ/発光受光振子/半導体レーザを、実施例1と同様に形成した。以下では、実施例1との製造工程に因して多なる部分のみを記載する。半導体レーザ部分の形成は、S10<sub>1</sub>を選択的に除去し、MOCVDのp<sup>++</sup>-Al<sub>x</sub>Ga<sub>1-x</sub>As選択成長を用いて、S1を $8 \times 10^{19} \text{ cm}^{-3}$ 含有するn<sup>+</sup>領域20を形成した。Al組成νとして0.45、膜厚として500nm、S1のドーピングレベルとして $2 \times 10^{18} \text{ cm}^{-3}$ を選んでいる。Al組成νは0.40から0.55の範囲、膜厚は300nmから1000nmの範囲、S1のドーピングレベルとして1から $8 \times 10^{18} \text{ cm}^{-3}$ の範囲が好ましい。さらに半導体レーザのn型層へのオーミック特性を良くするために、MOCVDのn<sup>++</sup>-GaAs選択成長を用いて、S1を $8 \times 10^{19} \text{ cm}^{-3}$ 含有するn<sup>+</sup>領域22を形成した。膜厚

たいパワーFETとして用いる場合には有用である。以上の説明では発光素子と受光素子の作成は省いたが、容易に類似できるように実施例1と同様にFET/バイポーラの形成の場合と同一プロセスで実現できる。本実施例では2DEGが2個(2個の量子井戸)の場合を説明したが、3個以上になると半導体レーザとしては有用だが、バイポーラ/FETとしては性能を落してしまい実用上の価値はあまりない。

なお、上記実施例においては先デバイスと電子デバイスとの複合素子について説明した。しかし、本発明は光電子素子としては電子と正孔との波動関数の重なりを制御するに適した構成を提供するものであり、またそのような光電子と結合させて特に好適な光・電子複合素子の構成を提供するものである。

また、以上の実施例では、半導体レーザとして埋込ヘテロ構造と2DEGFET及び2DEGHBTとの同一ベース(チャンネル)コレクタ層を用いての光電子複合構造についての発明を記述した。これは、本実

特開平3-46289 (11)

施例の目的が計算機応用やLocal Area Net Work (LAN)等で、LSI間の入出力インターフェースに関するものであるために長距離の光伝送を要しないので、GaAs/AlGaAs系のレーザが適しており、また、電子デバイスについてもコスト低価性、技術の習熟度の点からもGaAs系が優れているからである。半導体レーザの構造としては、BB構造の他にも、CSP(Channeled Substrate Planar Laser)レーザ、TJS(Transverse Junction Stripe Laser)レーザ等が、2DEGFET、2DEGBTとモノリシックに構成できることは、実施例1、2と同様である。長距離の光伝送を扱う通信路への応用の場合は、InP系半導体レーザ(例えば、DFBレーザ、DBRレーザ等)の方が適している。この場合でも、本発明の光電子混合構造が有効であることは言はずない。

又本実施例では、光デバイスとして半導体レーザの場合のみを示したが、2次元状態をLEDの活性層にして用いてもよい。FETとしての性能を保証(例えば、77K)でのみ期待する場合には、2

次元正孔ガスを用いて本発明を構成してもよい。その場合には実施例1、2において、n型半導体層をp型半導体層に、p型半導体層をn型半導体層に、入れ替えればよい。勿論、電子デバイスのうちでFETのみ、バイポーラのみを光デバイスと簡略化してもよい。

また、上記実施例ではすべて、コレクタが基板面に形成され、エミッタが裏面側に形成されている例について記述した。しかしながら、この構成は必ずしも必須ではなく、基板上のエピ積層の順序を全く逆転させて、エミッタ層、ベース層、コレクタ層の順番で積層成長することも可能である。この場合、デバイス構造は頭な構成は省略するが、容易に分かるように2DEGFETは、2DEG(2次元電子ガス)下に、キャリア供給層が存在する所謂HEMT(High Electron Mobility Transistor)構造として形成できる。この場合、藍色ドープnQVレーザはコレクタ層Hを100nm程度残し、よりE1構成の大きいn-AlGaAs層を再成長させることで上記実施例と同様な方法により形成できる。

#### 【発明の効果】

本発明によれば、同一エピタキシャル層を用いて電子デバイス(FET、Bipolar等)と光デバイス(発光ダイオード、受光素子、半導体レーザ、光検出器等)をそれぞれ同時に最適化する構造を提供できるので、

1) 同一エピ構造でありながら、電子デバイスと光デバイス双方の最適構造をシステム、デバイスの設計者に提供できる。

2) 同一デバイス構造で、光電子としても電子素子としても動作できる。

3) 細胞化に適し、信頼性が高く、歩留まりの高い光電子融合集積回路を実現できる。

という効果を有する。

#### 4. 図面の簡単な説明

第1図(a)、(b)、(c)及び(d)は、本発明の光電子混合素子の動作原理を説明するためのエネルギー・バンド図、第2図(e)、(f)、(g)及び(h)は、従来発明を説明するためのエネルギー・バンド図、第3図(a)、(b)、(c)及び(d)及び、第4図(e)、(f)

及び(c)は、本発明の光電子混合素子の実施例を説明するための図である。

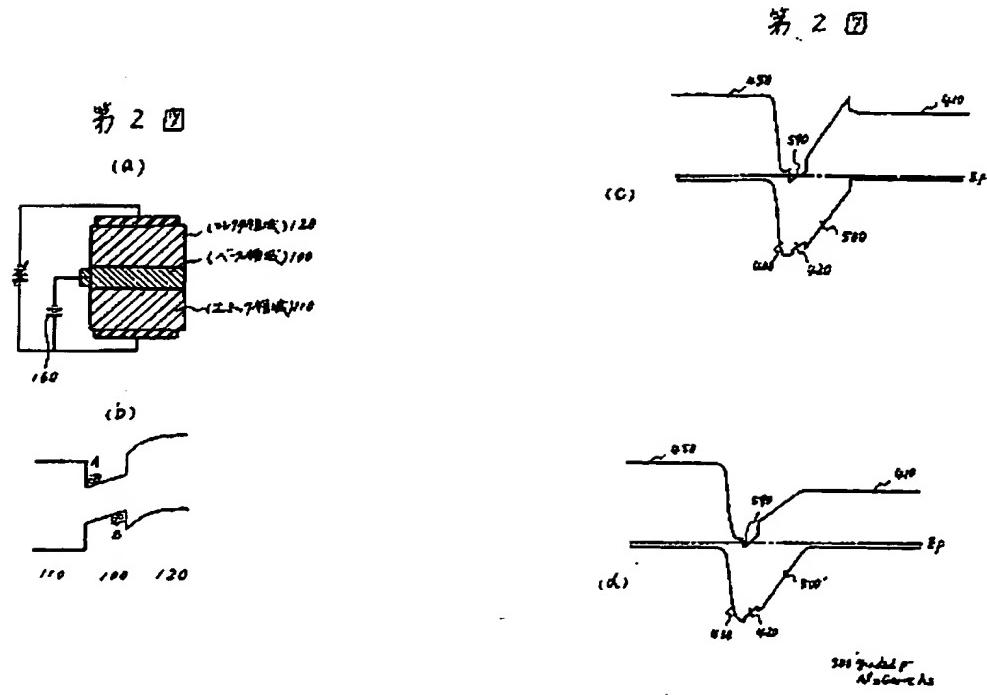
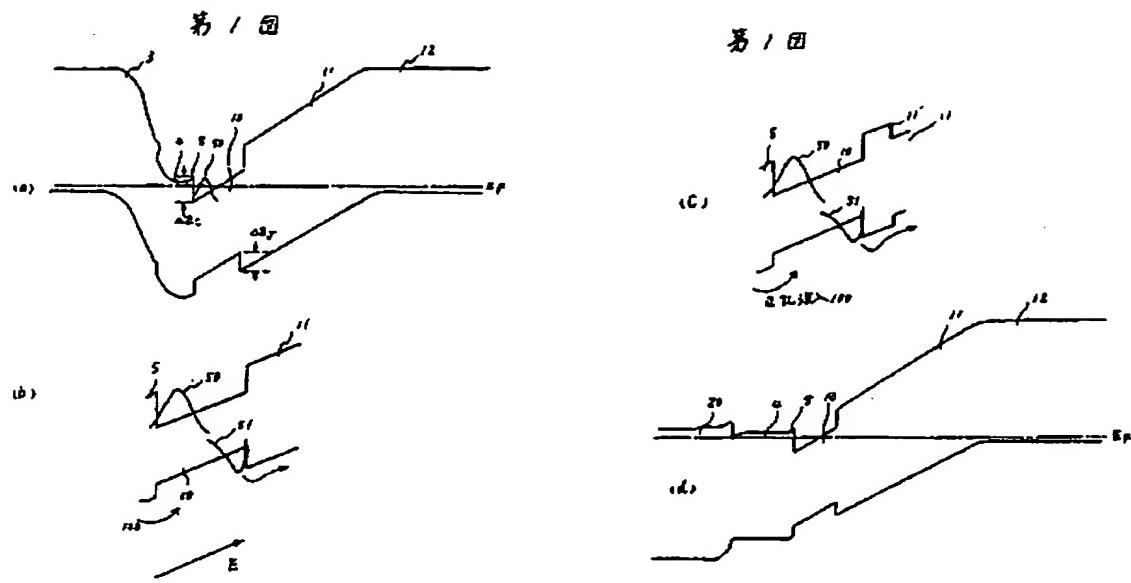
#### 符号の説明

1. 13. 410...p<sup>-</sup>-GaAs, 2...p-GaAs, 3...p-41GaAs, 4, 4'. 8, 430...n-AlGaAs, 5, 7, 9...アンドープAlGaAs, 6, 10, 420...アンドープGaAs, 11, 11', 500, 500'...p(p')-AlGaAs, 12, 450...p<sup>-</sup>-AlGaAs, 14...半導体性GaAs基板, 15, 50', 500...2次元電子ガス, 51...周在正孔, 41...発光層, 30, 30', 140...エミッタ電極, 31, 31', 130...ベース電極, 32, 32', 150...コレクタ電極, 基板バイアス電極, 40, 40', 33...p型電極, 34...n型電極, 35, 35'...ソース電極, 36, 36'...ドレイン電極, 37, 37'...ゲート電極, 20, 21...n-AlGaAs, 22, 24...n<sup>-</sup>-GaAs, 23...高抵抗AlGaAs.

代理人弁理士 小川 昌男

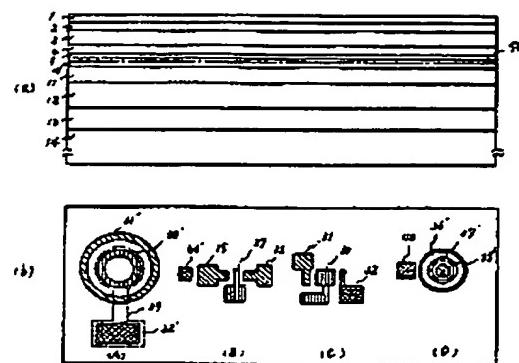


特丽平3-46289(12)

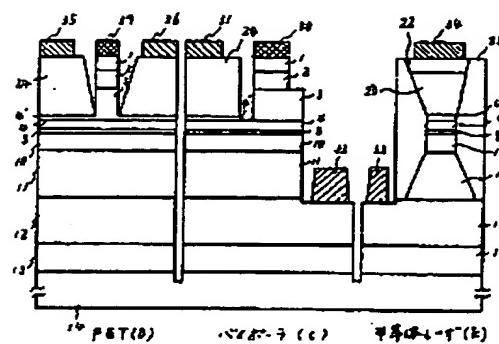


特開平3-46289 (13)

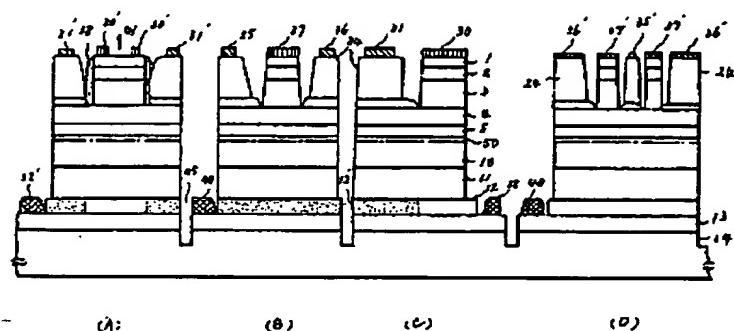
第3図



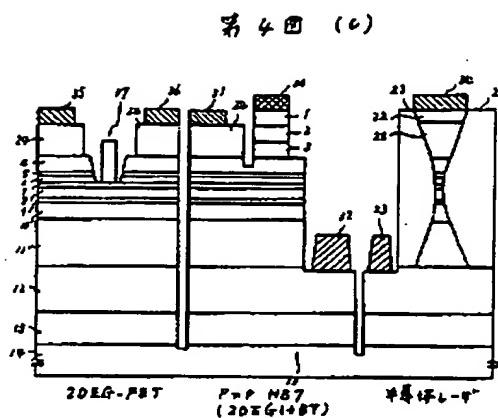
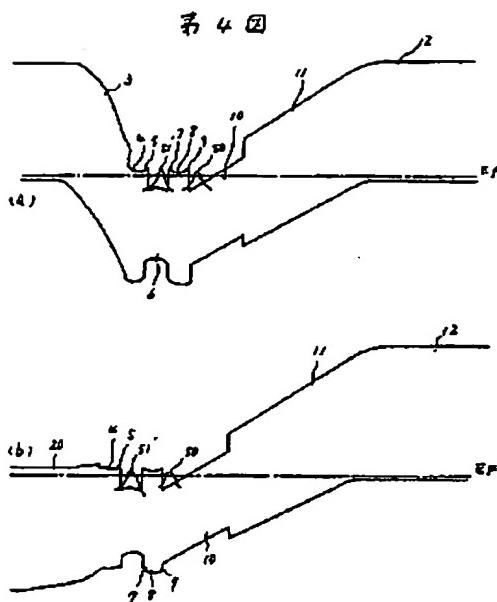
第3図 (d)



第3図 (c)



特開平3-46289 (14)



## 第1頁の続き

④Int. Cl.<sup>9</sup>  
H 01 L 21/331  
27/095  
27/15  
29/73

識別記号 序内整理番号  
7733-5F

②発明者 比留間 健之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

②発明者 以頭 博之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内